

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 100219119 B1
(43)Date of publication of application: 14.06.1999

(21)Application number: 1019960037419

(71)Applicant:

LG ELECTRONICS INC.

(22)Date of filing: 31.08.1996

(72)Inventor:

OH, YEONG JIN

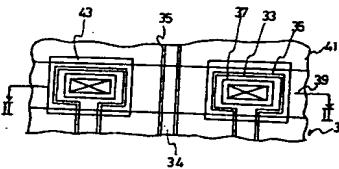
(51)Int. Cl

G02F 1 /136
G02F 1 /1343

(54) COMMON WIRE CONTACT PART OF LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF FORMING THE SAME

(57) Abstract:

PURPOSE: A common wire contact part of a liquid crystal display device is provided to prevent an etch solution from being infiltrated in a contact part of the first and second common wires by forming a protection film on a passivation layer. CONSTITUTION: The first common wires(33) are formed at a periphery of a thin film transistor together with a gate electrode. A gate bus line(34) is formed between the first common wires(33) and connects the gate electrode to an input pad. An anode oxide film(35) is formed on a surface except for a part of the first common wire(33) and on a surface of the gate bus line(34). An exposed portion of the first common wire(33) is connected to a data line and is electrically connected to the second wire(39), which is formed the same as source and drain electrodes of the thin film transistor. A protection film(43) is formed on a portion where the first and second common wires(33,39) are contact with each other.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19960831)

Notification date of refusal decision ()

Final disposal of an application (registration)

Date of final disposal of an application (19990324)

Patent registration number (1002191190000)

Date of registration (19990614)

Number of opposition against the grant of a patent ()

Date of opposition against the grant of a patent ()

Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

특 1998-017626

(19) 대한민국특허청(KR)

(12) 공개특허공보(A)

(51) Int. Cl. 8
G02F 1/136(11) 공개번호: 특 1998-017626
(43) 공개일자: 1998년 06월 05일

(21) 출원번호	특 1996-037419
(22) 출원일자	1996년 08월 31일
(71) 출원인	엘지전자 주식회사 구자홍 서울특별시 영등포구 여의도동 20번지
(72) 발명자	오영진 경기도 남양주시 금곡동 효창 APT 1-307호
(74) 대리인	양순석

설사첨부: 있음

(54) 액정표시장치의 공통 배선 접촉부 및 그의 형성방법

요약

본 발명은 본 발명에 따른 액정표시장치의 공통배선 접촉부 및 그의 제조방법에 관한 것으로서 투명한 절연기판과, 상기 절연기판 상의 소정 부분에 형성되어 인접하는 박막트랜지스터의 보조용량 캐패시터의 스토리지전극과 연결되는 제1공통배선과, 상기 절연기판 상의 상기 제1공통배선 사이에 형성되어 입력파드와 상기 박막 트랜지스터의 게이트 전극을 연결하는 게이트 버스라인과, 상기 제1공통배선 상의 소정 부분을 제외한 상기 절연기판 및 상기 제1공통배선 상에 형성된 절연막과, 상기 절연막 상에 데이터라인과 연결되며, 상기 제1공통배선의 노출된 부분과 접촉되게 형성된 제2공통배선과, 상기 제2공통배선 상에 형성된 패시베이션층과, 상기 제1 및 제2공통배선의 접촉 부분과 대응하는 패시베이션층 상에 형성된 보호막을 포함한다.

따라서, 제1 및 제2공통전극의 서로 다른 열팽창 계수에 의한 응력으로 인해 발생되는 크력을 통해 박막트랜지스터의 핵소전극을 패터닝하는 산각 응액의 침투에 의해 제1 및 제2공통배선의 접촉 부분이 단락되는 것을 방지하여 신뢰성을 향상시킬 수 있다.

도면도

도 1

명세서

[발명의 명칭]

액정표시장치의 공통배선 접촉부 및 그의 형성방법

[도면의 간단한 설명]

제1도는 종래 기술에 따른 액정표시장치의 공통배선 접촉부의 평면도

제2도는 제1도를 I-I 선으로 자른 단면도

제3도(a) 내지(c)는 종래 기술에 따른 액정표시장치의 공통배선 접촉부 형성방법을 도시하는 공정도

제4도는 본 발명에 따른 액정표시장치의 공통배선 접촉부의 평면도

제5도는 제4도의 II-II 선으로 자른 단면도

제6도(a) 내지(c)는 본 발명에 따른 액정표시장치의 공통배선 접촉부의 형성방법을 도시하는 공정도

도면의 주요부분에 대한 부호의 설명

31: 절연기판 33: 제1공통배선

34: 게이트 버스라인 35: 양극산화막

37: 절연막 39: 제2공통배선

41: 패시베이션층 43: 보호막

[발명의 상세한 설명]

본 발명은 액정표시장치의 공통배선 접촉부 및 그의 형성방법에 관한 것으로, 특히, 박막트랜지스터의 게이트와 동시에 형성되는 제1공통배선과 소오스 및 드레이인과 동시에 형성되는 제2공통배선의 접촉부가 핵소전극을 패터닝할 때 단락(open)되어 신뢰성을 향상시킬 수 있는 액정표시장치의 공통배선 접촉부 및 그의 형성방법에 관한 것이다.

액정 표시장치는 박막트랜지스터와 같은 스위칭 소자와, 미에 전기적으로 연결되어 있으며 빛을 투과하거나 반사하는 화소(pixel)전극을 기본단위로 하는 화소가 매트릭스 구조로 배열된 구조를 가진다. 상기 매트릭스 구조를 갖는 화소들을 서로 연결하는 복수개의 게이트 버스라인과 복수대의 데이터 버스라인을 포함하며, 각각의 게이트 버스라인과 각각의 데이터 버스라인의 끝단에 복수개의 패드들이 형성된다.

한편, 액정 표시장치는 각각의 화소에 특성을 확장시키기 위하여 보조용량 캐패시터(storage capacitor)를 부가하여 형성하는 경우도 있다. 상기 보조용량 캐패시터의 스토리지전극은 외부로 부터 입력되는 접지 신호에 의해 공통 접지 상태를 유지하여야 한다. 그러므로, 외부로부터 입력되는 접지 신호를 보조용량 캐패시터의 스토리지 전극에 공통으로 전송하기 위한 공통배선이 필요하다.

상기 공통배선은 박막트랜지스터를 형성하기 위한 공정 중에 같이 형성되는 것으로 게이트 형성시 각각의 게이트 버스라인과 동일한 갯수로 평행하게 형성되어 보조용량 캐패시터의 스토리지전극들과 연결되는 제1공통배선들과, 소오스 및 드레인 형성시 각각의 데이터 버스라인과 평행하게 형성되는 1개의 제2공통배선으로 이루어진다. 상기 제1공통배선들과 제2공통배선은 접촉부에서 서로 접촉되어 제2공통배선의 접지 신호를 다수개의 제1공통 전극을 통해 스토리지전극에 전달하게 한다.

제1도는 종래 기술에 따른 액정 표시장치의 공통배선 접촉부의 평면도이다.

종래 기술에 따른 액정 표시장치의 공통배선 접촉부는 박막트랜지스터(도시되지 않음)의 주변에 게이트전극(도시되지 않음)과 함께 형성되는 제1공통배선(13)이 형성된다. 제1공통배선(13)은 소정 부분을 제외한 표면에 양극산화막(15)이 형성된다. 또한, 제1공통배선(13) 사이에 상기 게이트전극을 입력 패드(도시되지 않음)와 연결하는 게이트 버스라인(14)이 게이트전극 형성시 동시에 형성되어, 이 게이트 버스라인(14)의 표면에도 양극산화막(15)이 형성된다. 상기 제1공통배선(13)의 노출된 부분은 데이터라인(도시되지 않음)과 연결되는 것으로 소오스 및 드레인(도시되지 않음)과 동일하게 형성되는 제2공통배선(19)과 접촉되어 전기적으로 연결된다.

제2도는 제1도를 1-1 선으로 자른 단면도이다.

종래 기술에 따른 액정 표시장치의 공통배선 접촉부는 투명한 절연 기판(11) 상에 양극 산화가 가능한 도전성금속으로 제1공통배선(13)과, 이 제1공통배선(13) 사이에 게이트 버스라인(14)이 형성된다. 게이트 버스라인(14)의 표면과 제1공통배선(13)의 소정 부분을 제외한 부분의 표면에 양극산화막(15)이 형성된다. 그리고, 제1공통배선(13) 상에 콘택홀을 갖는 실리콘산화물(SiO_2) 또는 실리콘질화물(Si_3N_4) 등의 물질로 이루어진 절연층(17)이 형성된다.

절연층(17) 상에 도전성금속으로 상기 소오스 및 드레인과 함께 형성되며 제1공통배선(13)과 접촉되어 전기적으로 연결되는 제2공통배선(19)이 형성된다. 그리고, 제2공통배선(19) 상에 절연층으로 패시베이션층(21)이 형성된다.

제3도(a) 내지 (c)는 종래 기술에 따른 액정 표시장치의 공통배선 접촉부 형성을 도시하는 공정도이다.

제3도(a)를 참조하면, 투명한 절연 기판(11) 상에 양극산화되는 금속을 스퍼터링(sputtering) 방법으로 증착하고 포토리쏘그래피(photolitho-graphy) 방법으로 패터닝하여 제1공통배선(13)을 형성한다. 이때, 제1공통배선(13)의 사이에 게이트전극과 입력 패드를 연결하는 게이트 버스라인(14)도 형성된다. 그리고 제1공통배선(13) 상의 소정 부분을 제외한 부분과 게이트 버스라인(14)의 전 표면을 양극산화하여 양극산화막(15)을 형성한다.

제3도(b)를 참조하면, 제1공통배선(13)의 노출된 부분을 포함하는 투명기판(11)과 양극산화막(15) 상에 실리콘산화물(SiO_2) 또는 실리콘질화물(Si_3N_4)을 화학기상증착(Chemical Vapor Deposition) 방법으로 증착하여 절연층(17)을 형성한다. 그리고, 절연층(17)의 소정 부분을 포토리쏘그래피 방법으로 제거하여 제1공통배선(13)을 노출시킨다.

제3도(c)를 참조하면, 제1공통배선(13)과 절연층(17) 상에 화학기상증착 방법에 의해 크롬(Cr) 등의 도전성 금속을 증착하여 제2공통배선(19)을 형성한다. 그리고, 제2공통배선(19) 상에 실리콘산화물(SiO_2) 또는 실리콘질화물(Si_3N_4) 등의 절연층으로 화학기상증착 방법으로 증착하여 패시베이션층(21)을 형성한다.

상술한 액정 표시장치의 공통배선 접촉부는 동시에 형성되는 박막트랜지스터의 화소전극을 형성하기 위한 인듐주석산화물(ITO)이 패시베이션층 상에도 증착되어 이 화소전극을 패턴링할 때 상기 패시베이션층 상에 증착된 인듐주석산화물을 제거된다.

그러나, 제1공통배선과 제2공통배선을 형성하는 물질은 서로 다른 열팽창 계수를 가지므로 접촉되는 부분에 응력(stress)으로 인한 크랙(crack)이 발생되는 데, 이 크랙에 의해 인듐주석산화물을 제거시 식각용액이 침투되어 제1 및 제2공통배선을 식각하므로 접촉부분이 단락되어 신뢰성이 저하되는 문제점이 있었다.

따라서, 본 발명의 목적은 패시베이션층 상에 보호막을 형성하여 제1 및 제2공통배선의 접촉부분에 식각용액이 침투되는 것을 방지하여 신뢰성을 향상시킬 수 있는 액정 표시장치의 공통배선 접촉부를 제공함에 있다.

본 발명의 다른 목적은 박막트랜지스터의 화소전극 형성시 식각용액에 의해 제1 및 제2공통배선이 식각되어 접촉부분이 단락되는 것을 방지할 수 있는 액정 표시장치의 공통배선 접촉부의 형성방법을 제공함에 있다.

상기 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 공통배선 접촉부는 투명한 절연기판과, 상기 절연기판 상의 소정 부분에 형성되어 인접하는 박막트랜지스터의 보조용량 캐패시터의 스토리지전극과, 연결되는 제1공통배선과, 상기 절연기판 상의 상기 제1공통배선 사이에 형성되어 입력 패드와 상기 박막트랜지스터의 게이트전극을 연결하는 게이트 버스라인과, 상기 제1공통배선 상의 소정 부분을 제외한 상기 절연기판 및 상기 게이트버스라인 상에 형성된 절연막과, 상기 절연막 상에 데이터라인과 연결되어 상기 제1공통배선의 노출된 부분과 접촉되게 형성된 제2공통배선과, 상기 제2공통배선 상에 형성된 패시베이션

층과, 상기 제1 및 제2공통배선의 접촉 부분과 대응하는 패시베이션층 상에 형성된 보호막을 포함한다.

상기 다른 목적을 달성하기 위한 본 발명에 따른 액정 표시장치의 공통배선 접촉부의 형성방법은 투명한 절연기판 상의 소정 부분에 제1공통배선과 이 제1공통배선사이에 게이트 버스라인을 형성하는 공정과, 상기 제1공통배선의 소정 부분을 제외한 상기 절연기판과 상기 게이트 버스라인 상에 절연막을 형성하는 공정과, 상기 제2공통배선의 소정 부분을 제외한 상기 절연기판과 상기 게이트 버스라인 상에 절연막을 형성하는 공정과, 상기 제2공통배선을 형성하는 공정과, 상기 제1 및 제2공통배선의 접촉 부분과 대응하는 상기 패시베이션층 상에 보호막을 형성하는 공정을 구비한다.

이하, 층부한 도면을 참조하여 본 발명을 상세히 설명한다.

제4도는 본 발명에 따른 액정표시장치의 공통배선 접촉부의 평면도이다.

본 발명에 따른 액정 표시장치의 공통배선 접촉부는 박막트랜지스터(도시되지 않음)의 주변에 게이트전극(도시되지 않음)과 함께 형성되는 제1공통배선(33)과 제1공통배선(33) 사이에 상기 게이트전극을 입력패드(도시되지 않음)와 연결하는 게이트 버스라인(34)이 형성된다. 제1공통배선(33)은 소정 부분을 제외한 표면 및 게이트 버스라인(34)의 표면에 양극산화막(35)이 형성된다. 상기 제1공통배선(33)의 노출된 부분은 데이터라인(도시되지 않음)과 연결되는 것으로 박막트랜지스터의 소오스 및 드레인(도시되지 않음)과 동일하게 형성되는 제2공통배선(39)과 접촉되어 전기적으로 연결된다. 그리고, 제1 및 제2공통배선(33)(39)이 접촉되는 부분은 보호막(43)이 형성된다.

제5도는 제4도를 II-II 선으로 자른 단면도이다.

본 발명에 따른 액정 표시장치의 공통배선 접촉부는 투명한 절연기판(31) 상의 소정 부분에 제1공통배선(33)과, 이 제1공통배선(33) 사이에 게이트 버스라인(34)이 형성된다. 상기 제1공통배선(33)과 게이트 버스라인(34)은 알루미늄(Al), 알루미늄합금, 몰리브덴(Mo), 몰리브덴합금, 티타늄(Ti), 티타늄합금, 탄탈(Ta), 탄탈합금, 코발트(Co) 또는 코발트합금 등의 양극산화되는 금속이 2000~3000 Å 정도의 두께로 형성된다. 게이트 버스라인(34)의 표면과 제1공통배선(33)의 소정 부분을 제외한 부분의 표면에 양극산화막(35)이 형성된다. 상기 양극산화막(35)은 제1공통배선(33) 상의 소정 부분에 감광막(도시되지 않음)을 형성한 후 노출된 나머지 부분을 양극산화하므로써 형성된다.

절연기판(31) 양극산화막(35) 상에 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄) 등의 절연물질이 3000~4000 Å 정도의 두께로 증착된 절연층(37)이 형성된다. 그러나 제1공통배선(33) 상에 콘택홀이 형성되므로 절연층(37)이 형성되지 않고 노출된다. 그리고, 절연층(37) 상에 크롬(Ch) 등의 도전성금속으로 2000~3000 Å 정도의 두께로 이루어지며 제1공통배선(33)과 접촉되어 전기적으로 연결되는 제2공통배선(39)이 형성된다. 제2공통배선(39)은 데이터라인(도시되지 않음)과 연결되는 것으로 박막 트랜지스터의 소오스 및 드레인과 함께 형성된다.

제2공통배선(39) 상에 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄) 등이 3000~4000 Å 정도의 두께로 증착되어 형성된 패시베이션층(41)이 형성된다. 그리고, 패시베이션층(41) 상의 상기 제1 및 제2공통배선(33)(39)의 접촉 부분과 대응하는 부분은 보호막(43)이 형성된다. 상기 보호막(43)은 인듐주석산화막(Indium Tin Oxide, ITO) 또는 주석산화막(SnO₂) 등과 같이 투명한 물질로 300~800 Å 정도의 두께로 이루어지며 박막트랜지스터의 화소전극(도시되지 않음)과 동시에 형성된다. 그러므로, 상기 보호막(43)은 제1 및 제2공통배선(33)(39)의 서로 다른 열팽창 계수에 의해 발생되는 크랙을 통해 화소전극을 패터닝하는 쟁각 용액이 제1 및 제2공통배선(33)(39)의 접촉부분으로 침투 및 침착하여 단락되는 것을 방지한다.

제6도(a) 내지 (c)는 본 발명에 따른 액정표시장치 공통배선 접촉부의 형성방법을 도시하는 공정도이다.

제6도(a)를 참조하면, 유리 또는 소다 라임(soda lime) 등의 투명한 절연기판(31) 상에 알루미늄(Al), 알루미늄합금, 몰리브덴(Mo), 몰리브덴합금, 티타늄(Ti), 티타늄합금, 탄탈(Ta), 탄탈합금, 코발트(Co) 또는 코발트합금 등의 양극산화되는 금속을 스포터링(sputtering) 방법으로 2000~3000 Å 정도의 두께로 증착하고, 포토리쏘그래피 병법으로 패터닝하여 제1공통배선(33)을 형성한다. 이 때, 제1공통배선(33)의 사이에 게이트전극과 입력 패드를 연결하는 게이트 버스라인(34)도 형성된다. 그리고, 제1공통배선(33) 상의 소정 부분을 제외한 부분과 게이트 버스라인(34)의 전 표면을 양극산화하여 양극산화막(35)을 형성한다. 상기 양극산화막(35)은 제1공통배선(33) 상의 소정 부분에 감광막(도시되지 않음)을 형성한 후 노출된 나머지 부분을 양극산화한 후 상기 감광막을 제거하여 형성된다.

제6도(b)를 참조하면, 제1공통배선(33)의 노출된 부분을 포함하는 투명기판(33)과 양극산화막(35) 상에 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄)을 화학기상증착 방법으로 3000~4000 Å 정도의 두께로 증착한 절연층(37)을 형성한다. 그리고, 절연층(37)의 소정 부분을 포토리쏘그래피 병법으로 제거하여 제1공통배선(33)을 노출시킨다.

제6도(c)를 참조하면, 제1공통배선(33)과 절연층(37) 상에 화학기상증착 방법에 의해 크롬(Ch) 등의 도전성금속 2000~3000 Å 정도의 두께로 증착하여 제2공통배선(39)을 형성한다. 상기 제2공통배선(39)은 데이터라인(도시되지 않음)과 연결되는 것으로 박막트랜지스터의 소오스 및 드레인(도시되지 않음)과 전기적으로 연결된다. 그리고, 제2공통배선(39) 상에 실리콘산화물(SiO₂) 또는 실리콘질화물(Si₃N₄) 등의 절연물질을 화학기상증착 방법으로 3000~4000 Å 정도의 두께로 증착하여 패시베이션층(41)을 형성한다. 그 다음, 상기 패시베이션층(41) 상에 박막트랜지스터의 화소전극(도시되지 않음)을 형성하기 위한 인듐주석산화물을 또는 주석산화막(SnO₂) 등의 투명한 도전률질을 300~800 Å 정도의 두께로 증착하여 보호막(43)을 형성한다. 그리고, 이 보호막(43)을 습식식각을 포함하는 포토리쏘그래피 방법에 의해 박막트랜지스터의 화소전극과 함께 제1 및 제2공통배선(33)(39)의 접촉부분과 대응하는 부분이 날도록 패터닝한다.

상술한 바와 같이 본 발명은 제1 및 제2공통전극의 접합 부분과 대응하는 패시베이션층 상에 보호막을 형성하여 제1 및 제2공통전극의 서로 다른 열팽창 계수에 의한 힘으로 인해 발생되는 크랙을 통해 박막트랜지스터의 화소전극을 패터닝하는 쟁각 용액이 침투되지 않도록 한다.

따라서, 본 발명은 화소전극 패터닝시 제1 및 제2공통배선의 접촉 부분이 단락되는 것을 방지하여 신뢰성을 향상시킬 수 있는 미점이 있다.

(57) 청구의 범위

청구항 1

투명한 절연기판과,

상기 절연기판 상의 소정 부분에 형성되어 인접하는 박막트랜지스터의 보조용량 캐페시터의 스토리지전극과 연결되는 제1공통배선과,

상기 절연기판 상의 상기 제1공통배선 사이에 형성되어 입력 패드와 상기 박막트랜지스터의 게이트전극을 연결하는 게이트 버스라인과;

상기 게이트버스라인 상의 소정 부분을 제외한 상기 절연기판 및 상기 제1공통배선 상에 형성된 절연막과;

상기 절연막 상에 데이터라인과 연결되며 상기 제1공통배선의 노출된 부분과 접촉되게 형성된 제2공통배선과;

상기 제2공통배선 상에 형성된 패시베이션층과,

상기 제1 및 제2공통배선의 접촉 부분과 대응하는 패시베이션층 상에 형성된 보호막을 포함하는 액정표시장치 공통배선 접촉부.

청구항 2

제1항에 있어서,

상기 제1공통배선이 알루미늄(Al), 알루미늄합금, 몰리브덴(Mo), 몰리브덴합금, 티타늄(Ti), 티타늄합금, 탄탈륨(Ta), 탄탈륨합금, 코발트(Co) 또는 코발트합금 등의 양극산화되는 금속으로 형성된 액정표시장치의 공통배선 접촉부.

청구항 3

제1항에 있어서,

상기 게이트 버스라인이 알루미늄(Al), 알루미늄합금, 몰리브덴(Mo), 몰리브덴합금, 티타늄(Ti), 티타늄합금, 탄탈륨(Ta), 탄탈륨합금, 코발트(Co) 또는 코발트합금 등의 양극산화되는 금속으로 형성된 액정표시장치의 공통배선 접촉부.

청구항 4

제2항 또는 제3항에 있어서,

상기 제1공통배선과 게이트 버스라인 상에 양극산화막을 더 포함하는 액정표시장치의 공통배선 접촉부.

청구항 5

제1항에 있어서,

상기 제2공통배선이 크롬으로 형성된 액정표시장치의 공통배선 접촉부.

청구항 6

제1항에 있어서,

상기 보호막이 인듐주석산화막(ITO) 또는 주석산화막(SnO)으로 형성된 액정표시장치의 공통배선 접촉부.

청구항 7

제6항에 있어서,

상기 보호막이 300~800Å 정도의 두께로 이루어진 액정표시장치의 공통배선 접촉부.

청구항 8

투명한 절연기판 상의 소정 부분에 제1공통배선과 이 제1공통배선 사이에 게이트 버스라인을 형성하는 공정과,

상기 제1공통배선의 소정 부분을 제외한 상기 절연기판과 상기 게이트 버스라인 상에 절연막을 형성하는 공정과,

상기 절연막 상에 상기 제1공통배선과 접촉되게 제2공통배선을 형성하는 공정과,

상기 제2공통배선 상에 패시베이션층을 형성하는 공정과,

상기 제1 및 제2공통배선의 접촉 부분과 대응하는 상기 패시베이션층 상에 보호막을 형성하는 공정을 구비하는 액정표시장치의 공통배선 접촉부의 형성방법.

청구항 9

제8항에 있어서,

상기 제1공통배선과 게이트 버스라인을 알루미늄(Al), 알루미늄합금, 몰리브데(Mo), 몰리브덴합금, 티타늄(Ti), 티타늄합금, 탄탈륨(Ta), 탄탈륨합금, 코발트(Co) 또는 코발트합금 등의 양극산화되는 금속으로 형성하는 액정표시장치의 공통배선 접촉부의 형성방법.

첨구항 10

제9항에 있어서,

상기 제1공통배선과 게이트 버스라인 상에 양극산화막을 형성하는 공정을 더 구비하는 액정표시장치 공통배선 접촉부의 형성방법.

첨구항 11

제8항에 있어서,

상기 제2공통배선을 크롬으로 형성하는 액정표시장치의 공통배선 접촉부의 형성방법.

첨구항 12

제8항에 있어서,

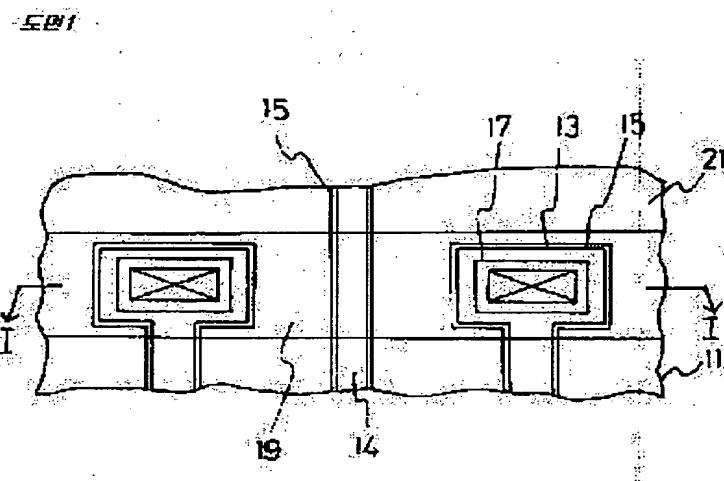
상기 보호막을 인듐주석산화막(ITO) 또는 주석산화막(SnO₂)으로 형성하는 액정표시장치 공통배선 접촉부의 형성방법.

첨구항 13

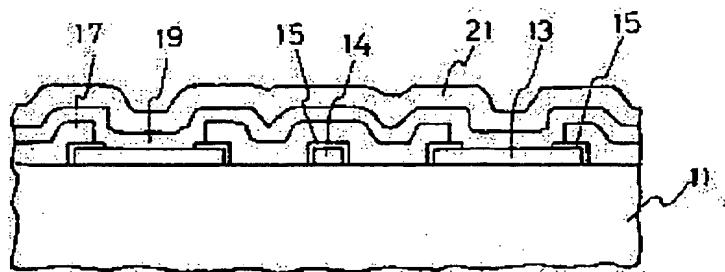
제12항에 있어서,

상기 보호막을 300-800Å 정도의 두께로 형성하는 액정표시장치의 공통배선 접촉부의 형성방법.

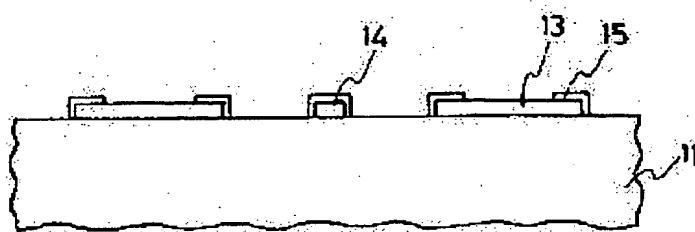
도면



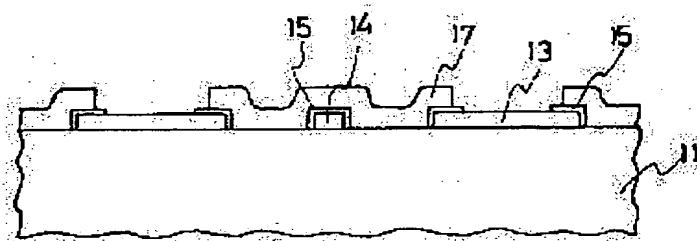
도면2



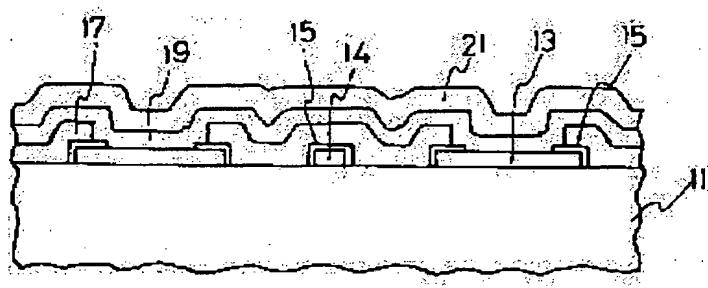
도면3a



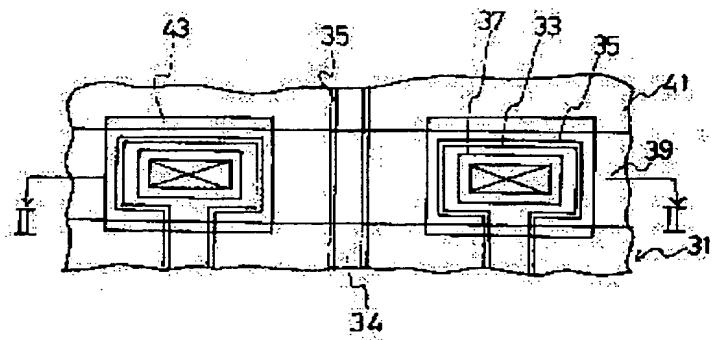
도면3b



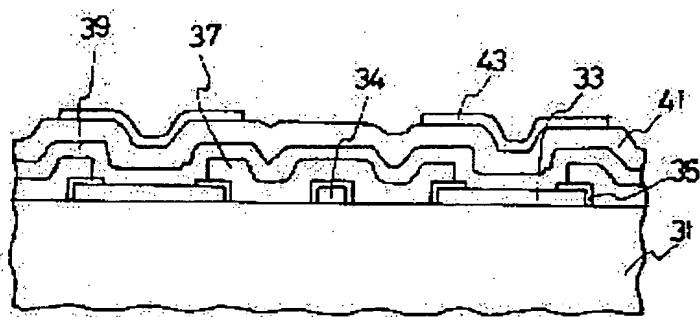
도면3c



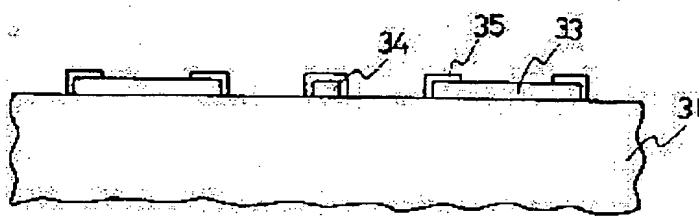
도면4



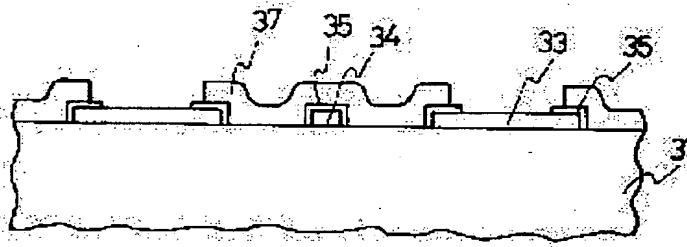
EP15



EP16a



EP16b



EP16c

